



Centro de Investigación y de Estudios Avanzados
Del Instituto Politécnico Nacional
Secretaría Académica

Registro de Cursos o Asignaturas

Nombre Completo del Programa de Posgrado		Maestría y Doctorado en Ciencias en Ingeniería Eléctrica		
Nombre Completo del Curso		Tópicos Avanzados de Ingeniería Eléctrica I		
Tipo de Curso		Electivo	Créditos	8
Número de horas	Teóricas:	60	Prácticas:	0
		Presenciales		No presenciales
Profesores que impartirán el curso				
Susana Ortega Cisneros				
Objetivos del curso:	General	El objetivo de este curso es aprender las características del flujo de síntesis lógica de circuitos digitales (enfoque de diseño RTL, arquitectura y optimización).		
	Específicos	Aprenderá varias técnicas para restringir los diseños, ejecutar análisis de temporización estática, evaluar la lógica de ruta de datos, ejecutar síntesis lógica, optimizar estructuras de baja potencia, analizar restricciones DFT (diseño para verificabilidad) e interactuar con otras herramientas. Se identificarán los pasos necesarios para realizar la optimización lógica para el diseño digital y generar o configurar los archivos de entrada y salida del flujo. También se aprenderán herramientas industriales de síntesis por medio de un diseño RTL cuyo objetivo será optimizarlo en función del área, frecuencia y potencia.		
Contenidos temáticos				
1. Introducción				
1.1 Ley de Moore				
1.2 Desafíos en el diseño de circuitos integrados digitales				
1.3 Tecnologías ASIC				
1.4 El flujo de síntesis de un circuito integrado digital				
2. Linting				
2.1 Definición del flujo				
2.2 Lenguajes de descripción de hardware				
2.3 Estilos de codificación y estandarización				
2.4 Verificación de sanidad del código				
3. Síntesis				
3.1 Repaso del flujo				
3.2 Leer el diseño				
3.3 Analizar: revisión de errores de sintaxis del RTL				
3.4 Elaborar: conversión del diseño a tecnología genérica				

3.5 Definición y establecimiento de restricciones
3.6 Restricciones por reglas de diseño
3.7 Restricciones de optimización
3.8 Verificación de restricciones
3.9 Optimización del diseño: compilación
3.10 Optimización a nivel arquitectura
3.11 Optimización a nivel lógico
3.12 Optimización a nivel compuerta
3.13 Reportes y base de datos generada
3.14 Generación y análisis de reportes
3.15 Formatos de archivos de la base de datos
3.16 Scripts y depuración de errores
3.17 Laboratorio
4. Static Timing Analysis
4.1 Definición del flujo
4.2 Verificación de tiempos de setup y hold
4.3 Verificación de tiempos de recuperación y remoción
4.4 Trayectorias de temporización
4.5 Grupos de trayectorias
4.6 Excepciones
4.7 Definición de relojes
4.8 Creación de relojes
4.9 Efectos de redes de relojes
4.10 Relojes múltiples
4.11 Señales de clock gating
4.12 Relojes generados y propagados
4.13 Retardos de entrada/salida
4.14 Cálculo de retardos
4.15 Características del driver de entrada
4.16 Características de la carga capacitiva de salida
4.17 Laboratorio
5. Verificación de equivalencia lógica
5.5 Definición del flujo
5.6 Modelos y representaciones
5.7 Puntos de corte
5.8 Scripts y depuración de errores
5.9 Laboratorio
6. Simulación a nivel compuerta post-síntesis
6.1 Definición del flujo
6.2 Creación o exportación de testbench
6.3 Simulación-estimación de timing
6.4 Laboratorio
7. Diseño para comprobación
7.1 Definición del flujo
7.2 Técnicas de DFT
7.3 Componentes y arquitectura de una estructura de DFT
7.4 Boundary Scan

7.5 Built-In Self-Test

7.6 Generación de patrones

7.7 Laboratorio

Bibliografía

1. Weste, N. 2010. CMOS VLSI Design: A Circuits and Systems Perspective. Pearson; 4th ed.
2. Rabaey, J., Chandrakasan, A., Nikolic, B. 2003. Digital Integrated Circuits, A Design Perspective. Pearson; 2nd ed.
3. Kang, S. Leblebici, Y, Yusuf, L. 2002. CMOS Digital Integrated Circuits Analysis & Design; McGraw-Hill Science/Engineering/Math; 3rd ed.
4. Baker, J. 2007. CMOS: Circuit Design, Layout, and Simulation. IEEE; 2nd Ed.

Criterios de evaluación

Tareas	40%
Exámenes (2 parciales y un final)	30%
Proyecto Final	30%
Total	100%

Contribución del curso al perfil de egreso del programa

Conocimientos:

Habilidades:

Actitudes y valores: